

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055958

(43)Date of publication of application : 27.02.1996

(51)Int.Cl. H01L 27/04  
H01L 21/822

(21)Application number : 07-189120

(71)Applicant : ROCKWELL INTERNATL CORP

(22)Date of filing : 25.07.1995

(72)Inventor : WORLEY EUGENE R  
GUPTA RAJIV  
JONES ADDISON BROOKE

(30)Priority

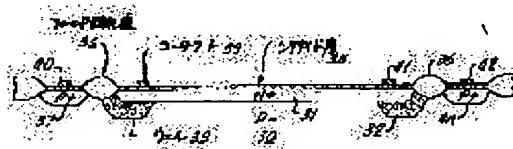
Priority number : 94 280417 Priority date : 26.07.1994 Priority country : US

## (54) ELECTROSTATIC BREAKDOWN PROTECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a pad voltage from exceeding the breakdown voltage of NFET output driver by forming an N- well surrounding an N+ area for preventing the IC from avalanching at a level lower than a predetermined voltage level applying a strong diode to a pad in a substrate.

SOLUTION: An N+ area 33 for forming the diode is deposited on a substrate 30 and further, P+ areas 34 and 37 are connected to the ground of substrate 30. Then, field oxide areas 35 and 36 are formed for electrically insulating that N+ area 33 from the P+ areas. Besides, inside the substrate 30, the N+ area 33 is surrounded with N wells 32 and 33 so as to prevent the IC from avalanching at a level lower than the predetermined voltage level applying the strong diode to the pad. Thus, the pad voltage can be prevented from exceeding the breakdown voltage of NFET output driver.



## LEGAL STATUS

[Date of request for examination] 28.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55958

(43) 公開日 平成8年(1996)2月27日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

H 0 1 L 27/04

H

審査請求 未請求 請求項の数20 O L (全 12 頁)

(21) 出願番号 特願平7-189120

(22) 出願日 平成7年(1995)7月25日

(31) 優先権主張番号 08/280417

(32) 優先日 1994年7月26日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590002448

ロックウェル・インターナショナル・コー  
ポレイション

ROCKWELL INTERNATIONAL  
CORPORATION

アメリカ合衆国、90740-8250 カリフォル  
ニア州、シール・ビーチ、シールビー  
チ・プールバード、2201

(72) 発明者 ユージーン・アール・ウォーリー

アメリカ合衆国、92620 カリフォルニア  
州、アーバイン、ボウディッチ、11

(74) 代理人 弁理士 深見 久郎 (外3名)

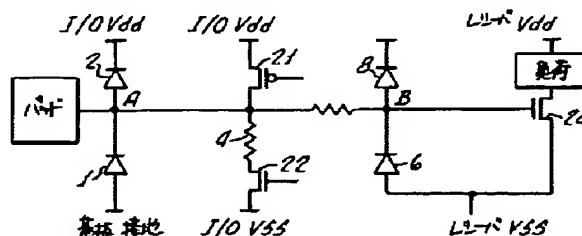
最終頁に続く

(54) 【発明の名称】 静電破壊保護回路

(57) 【要約】

【課題】 シリサイド被覆拡散を用いた集積回路のパッドに対する静電放電 (E S D) 保護回路を提供する。

【解決手段】 E S D保護回路は、N-ウェルブロックを有する強固なN+ダイオード、出力N F E Tおよび大きな過渡クランプを使用し、各々は、分布され、集積されたN-ウェルドレイン抵抗器を伴い、E S Dに対する人体モデルおよび帯電デバイスモデルテストの間、I Cのなだれおよびリークを防止する。



1

## 【特許請求の範囲】

【請求項1】 複数のコンタクトパッドを有するシリサイドで被覆されたN+およびP+領域を採用する集積回路（「IC」）のための静電破壊（ESD）保護回路であって、前記ICは第1のV<sub>dd</sub>と第1のV<sub>ss</sub>と基板接地とに結合され、

カソードが第1のノードを形成するコンタクトパッドのうち1つに結合され、アノードが前記基板接地に結合された第1のN+ダイオードを含み、前記第1のダイオードは、

P<sup>-</sup>タイプおよびP<sup>-</sup>オンP<sup>+</sup>エピタキシャルタイプのうち一方の基板と、

前記基板の上に堆積されダイオードを形成するN+領域と、

前記基板の上に堆積され基板接地に接続されたP+領域と、

前記N+領域を前記P+領域から電気的に絶縁するように形成されたフィールド酸化膜領域と、

前記基板内に形成され、第1の強固なダイオードが前記パッドに印加された予め定められた電圧レベルよりも下でなだれを起こすことを防止するように前記N+領域の周囲を取り囲むN-ウェルとを有する、静電破壊保護回路。

【請求項2】 アノードが前記コンタクトパッドに結合され、カソードが前記第1のV<sub>dd</sub>に結合されたP+ダイオードをさらに含む、請求項1に記載の静電破壊保護回路。

【請求項3】 アノードが前記コンタクトパッドのうち1つに結合され、カソードが前記第1のV<sub>dd</sub>に結合された強固なP+ダイオードをさらに含む、前記強固なP+ダイオードは、

N-ウェル内に堆積されダイオードを形成するP+領域と、

前記N-ウェル内に堆積されたN+領域と、

P+領域を前記N+領域から絶縁するように形成されたフィールド酸化膜領域と、

P+領域の周囲を囲むように形成されたフィールド注入とを有する、請求項1に記載の静電破壊保護回路。

【請求項4】 ソースが前記第1のV<sub>ss</sub>に結合された第1のNFETと、

前記第1のNFETのドレイン端子と前記コンタクトパッドとの間に結合され、分布され、集積された第1の抵抗器とをさらに含み、前記抵抗器は前記第1のNFETのドレインと同じタイプの極性の軽くドーパされたウェルにより形成される、請求項1に記載の静電破壊保護回路。

【請求項5】 ドレインが前記第1のV<sub>dd</sub>に結合された第2のNFETと、

前記第2のNFETのソース端子と前記コンタクトパッドとの間に結合され、分布され、集積された第2のウェ

2

ル抵抗器とをさらに含み、前記抵抗器は前記第2のNFETのソースと同じタイプの極性のウェルにより形成される、請求項4に記載の静電破壊保護回路。

【請求項6】 ソースが前記第1のV<sub>dd</sub>に結合され、ドレインが前記コンタクトパッドに結合されたPFETをさらに含む、請求項4に記載の静電破壊保護回路。

【請求項7】 静電破壊保護回路はさらに、前記コンタクトパッドと第2のノードとの間に結合された抵抗器と、

10 アノードが第2のV<sub>ss</sub>に局部的に結合され、カソードが前記第2のノードに局部的に接続された入力保護のための第2のN+ダイオードとを含み、前記第2のN+ダイオードは、

P<sup>-</sup>タイプおよびP<sup>-</sup>オンP<sup>+</sup>エピタキシャルタイプのうち一方の基板と、

前記基板の上に堆積されダイオードを形成するN+領域と、

前記基板の上に堆積され基板接地に接続されたP+領域と、

20 前記N+領域を前記P+領域から電気的に絶縁するように形成されたフィールド酸化膜領域と、

前記基板内に形成され、第1の強固なダイオードが前記パッドに印加された予め定められた電圧レベルよりも下でなだれを起こすことを防止するように前記N+領域の周囲を取り囲むN-ウェルとを有し、静電破壊保護回路はさらに、

カソードが第2のV<sub>dd</sub>に局部的に接続され、アノードが前記第2のノードに局部的に接続された入力保護のためのP+ダイオードを含む、請求項6に記載の静電破壊保護回路。

30 【請求項8】 複数のコンタクトパッドを有するシリサイドで被覆されたN+およびP+領域を採用する集積回路（「IC」）のための静電破壊保護回路であって、前記ICはV<sub>dd</sub>とV<sub>ss</sub>と基板接地とに結合され、コンタクトパッドの1つでの電圧を予め定められた電圧レベルの予め定められたpn接合降伏電圧よりも小さくクランプするためのクランプを含み、前記クランプは前記V<sub>dd</sub>およびV<sub>ss</sub>の周りに分布され、前記クランプは、基板接地に結合されたソース端子および前記V<sub>dd</sub>に結合されたドレインを有するNFETと、

40 前記NFETのゲートに結合された出力端子を有するインバータと、

前記インバータの入力と基板接地との間に結合された第1のキャパシタと、

前記インバータの入力に結合されたドレイン、第1のV<sub>dd</sub>に結合されたソース、および基板接地に結合されたゲートを有するPFETとを含む、静電破壊保護回路。

【請求項9】 前記NFETは、ドレイン端子とV<sub>dd</sub>との間に形成され、分布され、集積された抵抗器を通して前記V<sub>dd</sub>に結合され、前記抵抗器は前記NFETの

50

ドレインと同じタイプの極性の軽くドーピングされたウェルにより形成される、請求項 8 に記載の静電破壊保護回路。

【請求項 10】 前記  $V_{dd}$  と  $V_{ss}$  との間にクランプと並列に結合された第 2 のキャパシタをさらに含み、前記第 2 のキャパシタは接地バウンス保護のために予め定められた高速の立上がり時間を有する、請求項 9 に記載の静電破壊保護回路。

【請求項 11】 第 2 のキャパシタに対する時定数は 100 ピコ秒よりも小さい、請求項 10 に記載の静電破壊保護回路。

【請求項 12】 複数のコンタクトパッドを有するシリサイドで被覆された  $N^+$  および  $P^+$  領域を採用する集積回路（「IC」）のための静電破壊保護回路であって、前記 IC は  $V_{dd}$  と  $V_{ss}$  と基板接地とに結合され、ソースが前記  $V_{ss}$  に結合された第 1 の NFET と、前記第 1 の NFET のドレイン端子と前記コンタクトパッドのうち 1 つとの間に結合され、分布され、集積された第 1 の  $N^+$  ウェル抵抗器とを含む、静電破壊保護回路。

【請求項 13】 ドレインが前記  $V_{dd}$  に結合された第 2 の NFET と、前記第 2 の NFET のソース端子と前記コンタクトパッドのうち 1 つとの間に結合され、分布され、集積された第 2 の  $N^+$  ウェル抵抗器とをさらに含む、請求項 12 に記載の静電破壊保護回路。

【請求項 14】 ソースが前記  $V_{dd}$  に結合され、ドレインが前記コンタクトパッドのうち 1 つに結合された PFET をさらに含む、請求項 12 に記載の静電破壊保護回路。

【請求項 15】 コンタクトパッドの 1 つでの電圧を予め定められた電流レベルの予め定められた  $p-n$  接合降伏電圧よりも小さくクランプするためのクランプをさらに含み、前記クランプは IC の  $I/O$  電源リングの周りに分布され、前記クランプは、基板接地に結合されたソース端子および第 1 の  $V_{dd}$  に結合されたドレインを有する NFET と、前記 NFET のゲートに結合された出力端子を有するインバータと、前記インバータの入力と基板接地との間に結合された第 1 のキャパシタと、前記インバータの入力に結合されたドレイン、第 1 の  $V_{dd}$  に結合されたソースおよび基板接地に結合されたゲートを有する PFET とを含む、請求項 1 に記載の静電破壊保護回路。

【請求項 16】 前記 NFET は、ドレイン端子と第 1 の  $V_{dd}$  との間に形成され、分布され、集積された  $N^+$  ウェル抵抗器を通して前記第 1 の  $V_{dd}$  に結合される、請求項 15 に記載の静電破壊保護回路。

【請求項 17】 クランプと並列に結合された第 2 のキ

ャパシタをさらに含み、前記第 2 のキャパシタは CDM 保護のために予め定められた高速の立上がり時間を有する、請求項 16 に記載の静電破壊保護回路。

【請求項 18】 第 2 のキャパシタに対する時定数は 100 ピコ秒よりも小さい、請求項 17 に記載の静電破壊保護回路。

【請求項 19】 複数のコンタクトパッドを有するシリサイドで被覆された  $N^+$  および  $P^+$  領域を採用する集積回路（「IC」）のための静電破壊保護回路であって、前記 IC は第 1 の  $V_{dd}$  と  $V_{ss}$  と基板接地とに結合され、カソードが第 1 のノードを形成するコンタクトパッドのうち 1 つに結合され、アノードが前記基板接地に結合された第 1 の  $N^+$  基板ダイオードを含み、前記第 1 の  $N^+$  ダイオードは、 $P^-$  タイプおよび  $P^-$  オン  $P^+$  エピタキシャルタイプのうち一方の基板と、

前記基板の上に堆積されダイオードを形成する  $N^+$  領域と、

20 前記基板の上に堆積され基板接地に接続された  $P^+$  領域と、

前記  $N^+$  領域を前記  $P^+$  領域から電気的に絶縁するように形成されたフィールド酸化膜領域と、

前記基板内に形成され、第 1 の  $N^+$  ダイオードが前記パッドに印加された予め定められた電圧レベルよりも下でなだれを起こすことを防止するように前記  $N^+$  領域の周囲を取り囲む  $N^+$  ウェルとを有し、静電破壊保護回路はさらに、

30 アノードが前記コンタクトパッドに結合され、カソードが前記第 1 の  $V_{dd}$  に結合された  $P^+$  ウェルダイオードと、

ソースが前記第 1 の  $V_{ss}$  に結合された第 1 の NFET と、

前記第 1 の NFET のドレイン端子と前記コンタクトパッドとの間に結合され、分布され、集積された第 1 の  $N^+$  ウェル抵抗器と、

ソースが前記第 1 の  $V_{dd}$  に結合され、ドレインが前記コンタクトパッドのうち 1 つに結合された PFET と、前記コンタクトパッドのうち 1 つと第 2 のノードとの間に結合された抵抗器と、

40 アノードが第 2 の  $V_{ss}$  に局部的に結合され、カソードが前記第 2 のノードに局部的に接続された第 2 の  $N^+$  基板ダイオードとを含み、前記第 1 の  $N^+$  ダイオードは、 $P^-$  タイプおよび  $P^-$  オン  $P^+$  エピタキシャルタイプのうち一方の基板と、

前記基板の上に堆積されダイオードを形成する  $N^+$  領域と、

前記基板の上に堆積され基板接地に接続された  $P^+$  領域と、

50 前記  $N^+$  領域を前記  $P^+$  領域から電気的に絶縁するよう

に形成されたフィールド酸化膜領域と、  
前記基板内に形成され、第2のN+ダイオードが前記パッドに印加された予め定められた電圧レベルよりも下でなだれを起こすことを防止するように前記N+領域の周囲を取り囲むN-ウェルとを有し、静電破壊保護回路はさらに、  
カソードが第2のV<sub>dd</sub>に局部的に結合され、アノードが前記第2のノードに局部的に接続された第2のP+ウェルダイオードと、  
コンタクトパッドの1つでの電圧を予め定められた電流レベルの予め定められたpn接合降伏電圧よりも小さくクランプするためのクランプとを含み、前記クランプはICのI/O電源リングの周りに分布され、静電破壊保護回路はさらに、  
クランプと並列に結合されたキャパシタを含み、前記キャパシタはCDM保護のための予め定められた高速の時定数を有する、静電破壊保護回路。

【請求項20】 前記第1の強固なN+基板ダイオードは、  
P<sup>-</sup>タイプおよびP<sup>-</sup>オンP<sup>+</sup>エピタキシャルタイプのうち一方の基板と、  
前記基板の上に堆積されダイオードを形成するN+領域と、  
前記基板の上に堆積され基板接地に接続されたP+領域と、  
前記N+領域を前記P+領域から電気的に絶縁するように形成されたフィールド酸化膜領域と、  
前記基板内に形成され、第1の強固なダイオードが前記パッドに印加された予め定められた電圧レベルよりも下でなだれを起こすことを防止するように前記N+領域の周囲を取り囲むN-ウェルとを含み、  
前記P+ウェルダイオードは、強固なP+ダイオードであり、  
N-ウェル内に堆積されダイオードを形成するP+領域と、  
P+領域を絶縁するように形成されたフィールド酸化膜領域と、  
P+領域の周囲を取り囲むように形成されたフィールド注入とを有し、前記クランプは、  
基板接地に結合されたソース端子および分布され集積されたN-ウェル抵抗器を通して前記第1のV<sub>dd</sub>に結合されたドレイン端子を有するNFETと、  
前記NFETのゲートに結合された出力端子を有するインバータと、  
前記インバータの入力と基板接地との間に結合されたキャパシタと、  
前記インバータの入力に結合されたドレイン、第1のV<sub>dd</sub>に結合されたソースおよび基板接地に結合されたゲートを有するPFETとを備える、請求項19に記載の静電破壊保護回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の分野】 この発明は半導体回路デバイスのための静電破壊(ESD)保護デバイスに関し、より特定には導電性の高いソース/ドレイン領域を有するI/O MOSFETを伴うものに関する。

##### 【0002】

【背景技術】 VLSI技術における昨今の進歩により、集積回路のジオメトリはますます小型化している。しかしながら、デバイスがさらに小型化されるにつれ、静電放電(ESD)破壊を受けることもさらに多くなる。ESDは適切に抑制されなければデバイスに損傷を与える可能性があり、信頼性が低下して結局は電子デバイス製造業者のボトムラインに影響を与えることになる。

【0003】 当業者はデバイスをESDの危険から守るために実際多大な努力を行ってきた。今日の集積回路は、熱酸化膜、誘電体層、多結晶シリコンおよび金属膜といった多層の薄膜材料で製造される。各層を加えることが問題を複雑にする。その例は、最上層のポリシリコンと拡散領域とが堆積され、Tiといった材料と融合されてシート導電率の向上のためにTiSi<sub>2</sub>といったシリサイドを形成するプロセスを用いて、金属膜を形成することに見受けられることができる。

【0004】 このプロセスは特にESD問題を受けやすい。拡散のシリサイド領域は、接合に非常に近接するため少しのことで接合をショートさせやすい。導電率の向上、すなわち低いシート抵抗では、コンタクトパッドはたとえ通常よりも遠くに位置づけられていても、MOSFET(「金属酸化膜半導体電界効果トランジスタ」)のチャネルとショートする可能性がある。さらに悪いことには、シリサイドと接合との間の距離が変化する拡散の周囲に沿って、しばしば「シリサイドの凸凹」が生じる。シリサイドが接合にあまりにも近づくときリークが生じる。さらに、半導体表面でのなだれ降伏電圧は表面より下の接合領域よりも低いため、フィールド注入が周囲の最上部でN+/基板接合になだれを起こすかもしれない。この接合でのなだれ電流はシリサイドが接合に最も近い点で発生するかもしれない、したがってシリサイドが接合に移動することによりリークまたはショートを引き起こす。図1は典型的なシリサイド領域の断面図であり、図2はN+領域の周囲で発生するシリサイドの凸凹を示す。

【0005】 ESDの効果を最小にするために、ESDの突然のサージを吸収することを目的としたデバイスの入力および出力パッドに対する保護デバイスが製造されている。デバイスのESD許容をテストする一般的な2つの方法は、人体モデル法(HBM)および帯電デバイスモデル法(CDM)である。HBMは、個人がデバイスに触れたときに生じ得る放電のシミュレートを含む、すなわち人体は、特定の電圧で帯電され、15000

hmの抵抗器を通してデバイスに放電される、100 pFのキャパシタで表わすことができる。CDMは典型的には自動ハンドリング装置に関連する金属接地された表面に接触する帯電デバイスをシミュレートする。

【0006】フィールドスナップバック (FSB) トランジスタ、NFET、およびN+/基板ダイオードを含む従来のESD保護構造は、ダイからダイへとランダムに弱いスポットが位置するため非効果的であると考えられてきた。またNFETチャネルの長さの増大、コンタクトからチャネルへの空間の増大、ESD注入の追加などといった方法は、悪影響を与えるピンの排除には不十分であった。I/Oソース/ドレイン上のシリサイド層に関連する問題の排除のために「シリサイドブロック」層を用いるとプロセスに関する費用が増大する。

【0007】したがって、ESD放電の間に接合がなだれを起こすことを防止することにより、ジオメトリの小さなデバイスに対してESD保護を提供することが望ましい。実際に発生したときにはESD電流にシンクまたはソースを設けることがまた望ましい。バラストを設けてなだれおよびスナップバックから生じる損失を最小とし、パッドからVssへ放電することによりパッド電圧を制限することが望ましい。最後に、十分に強固な部分に対しては、HBMおよびCDM両方に対するテスト条件を提供することが望ましいであろう。

#### 【0008】

【発明の概要】集積回路 (IC) のパッドに対するESD保護回路が開示される。ESD保護回路は、コンタクトパッドの1つと基板接地との間に結合された第1の強固なN+ダイオードと、コンタクトパッドと第1のVddとの間に結合された第1のP+ダイオードと、第1のVssとコンタクトパッドとに結合された第1のNFETと、第1のNFETのドレイン端子とコンタクトパッドとの間に結合された、分布され、集積された第1のN-ウェル抵抗器と、第1のVddとコンタクトパッドとに結合されたPFETと、コンタクトパッドとレシーバNFETとの間に結合された抵抗器と、レシーバVssとレシーバNFETのゲートとの間に局部的に結合された入力保護のための第2の強固なN+ダイオードと、レシーバVddとレシーバNFETのゲートとの間に局部的に結合された第2のP+ダイオードと、コンタクトパッドの電圧を予め定められた電流レベルの接合の予め定められた降伏電圧よりも低くクランプするための、第1のVddと第1のVssとの間の、ICのI/O電源リングの周りに分布されているクランプと、接地バウンス保護のために予め定められた高速の立上がり時間を有し、クランプと並列に結合されたキャパシタとを含む。

【0009】この発明のさらなる目的、特徴および利点は、以下の説明により明らかになるであろう。

#### 【0010】

【詳細な説明】集積回路 (IC) のパッドのための

ESD保護デバイスが開示される。以下の説明はたとえばN-またはP-タイプといったあるタイプの半導体材料に言及するが、当業者はその他のタイプの等価材料を用いて、意図する同じ目的を容易に達し得ることを理解するであろう。

【0011】図3を参照すれば、この発明に従うESD保護回路を伴うパッドの概略図が示される。N+/基板ダイオード1が、パッドが接続されている基板接地とノードAとの間に接続される。一般的に抵抗率の低いP+/N-ウェルダイオード2がノードAとI/O Vddとの間に接続される。ノードAにまた接続されているのはPFET 21のソース端子である。分布され、集積されたN-ウェル抵抗器4がノードAとNFET 22のドレイン端子との間に接続される。NFET 22のソース端子はI/O Vssに接続される。抵抗器5はノードAとノードBとの間に接続される。入力保護目的のための抵抗器5がまたウェル抵抗器であってもよい。ダイオード6はノードBとレシーバVssとの間に局部的に接続され、この場合ダイオード6は強固なN+/Pダイオードである。ダイオード8はノードBとレシーバVddとの間に局部的に接続され、この場合ダイオード8はP+/N-ウェルダイオードである。

【0012】NFET 22およびPFET 21は出力ドライバトランジスタであり、ダイオード6および8は入力トランジスタ24のための第2の局部クランプである。

【0013】当業者は、現在述べられているのは2つの電源、すなわちI/O Vdd/VssおよびレシーバVdd/Vssであるが、別個のVdd/Vssが接地バウンスによる雑音の低減のために働くことを認識するであろう。レシーバVdd/VssはI/O Vdd/Vssと外部で接続されることがまた認識されるであろう。チップに対してはレシーバVdd/Vssは必要でなく、単一のI/O Vdd/Vssで十分な場合もある。

【0014】あるICに対しては、いかなるパッドのESD保護にも必要なものは、回路全体が大きく、ただ1つの電源で動作すると仮定すれば、デバイスのいくつかのパッドで突然発生する高電流密度をシンクするのに十分大きないくつかのダイオードである。しかしながら、ICをESD破壊に対しさらに保護するために、図4は、図3に述べられた回路と関連づけて実現されてもよい付加的な回路を示す。

【0015】図4を参照すれば、過渡クランプ7がI/O Vddと基板接地との間に接続され、クランプ7は当業者には理解されるように大型電界効果トランジスタ (FET) であってもよい。比較的高速のキャパシタ9がI/O Vddと基板接地との間に接続される。CDMテストは、典型的には10 pFのオーダのチップの基板-接地プレートキャパシタンスの比較的低いものを

含むため、オンチップのキャパシタ 9 を用いて CDM の過渡の間に  $V_{dd}$  / 基板ノードを通して表われる電圧の減衰を助けることが実際的かもしれない。

【0016】現在、CDM パルスに対し 400 pS 程度の CDM パルス立上がり時間を経験することができる高速キャパシタを有することが望ましいであろう。HB M モデルは約 100 pF のキャパシタンスを用いるが、このキャパシタが効果的な減衰をもたらすには高すぎるかもしれない。キャパシタ 9 はまた、RC 時定数がわず

か 100 pS であるような小さな寄生直列抵抗を有するよう

【0017】図 5 および 6 を参照すれば、強固な N+ / 基板ダイオードの例示のレイアウト図およびその断面図がそれぞれ示される。順方向バイアス方向におけるダイオードの電流処理能力、および逆のまたはなだれモードにおける弱点のため、N+ / 基板ダイオード 1 (図 3) を強固にして、なだれによる破壊を回避し、その順方向バイアス接合を利用し、パッドから ESD 電流を導き、P+ / N-ウェルダイオード接合がなだれモードになるのを防止してもよい。N+ / 基板ダイオードの周囲を取り

囲むウェルを有することにより、ダイオードを「強固」にすることができる。ウェルは、パッドに印加される比較的低い正の電圧で、エッジにおいて接合が降伏するのを防止するように働く。当業者は理解するであろうが、ウェルがなければ接合エッジは約 1.7 ボルトで降伏する傾向があり、ウェルがあれば接合エッジが 4.0 ボルト以上まではなだれを起こさないようにすることが可能であろう。結果として、ESD 放電が大きくない間は、パッド電圧は接合エッジのなだれ点に到達する可能性は低いであろう。

【0018】パッドに接続されたダイオード 1 の N+ / 基板の周囲をウェルで取り囲むことによりなだれを防止することが可能であるが、その動作に逆の影響を与えるため NFET ドライバ 22 (図 3) のドレイン端子は典型的にゲート側で包囲されることは不可能である。結果として、分布され、集積されたウェル抵抗器 4 が実現され、少なくとも NFET ドライバ 22 の保護されていないダイオードエッジに流れ込む可能性のある電流を制限する。ESD 電流スパイクを効果的にバッファするように分布される N-ウェル抵抗器 4 は、スナップバックモードの間 NFET ドライバ 22 に流れ込む電流のバラストとして作用することが可能である。N-ウェル抵抗器 4 がなければ、NFET ドライバ 22 がスナップバックモードにある間、高電流が局所化された領域に流れ込む可能性があるだろう。局所電流の流れにより最終的に 2 次降伏およびショートが回路に対して生じるだろう。分布され、集積されたウェル抵抗器は、NFET ドライバを通る電流の流れを低減し、ESD イベントの間は電流をより均一的に流れさせるように作用する。図 10 のレイアウト図は、分布され、集積された N-ウェル抵抗器

を伴う NFET ドライバを達成する 1 つの方法を示し、図 11 の断面図は分布され、集積された N-ウェル抵抗器がいかんして形成されるかを示す。

【0019】図 6 を参照されたい。基板 30 は典型的な「P-」半導体材料から作られる。N+領域 31 は P-基板 30 の上に形成される。N+領域 31 は、フィールド酸化膜 35、36 により P+領域 34、37 から空間を設けられる。N+31 および P+37 領域に与えられるシリサイド層 38 は、より高いシートコンダクタンスをもたらす。コンタクト 39-42 はシリサイド層 38 の上に形成され、強固なダイオードに対するカソードおよびアノード端子を提供する。N-ウェル領域 32、33 は N+層 31 の周囲およびフィールド酸化膜 35、36 に接合する領域を取り囲むように形成される。結果として、ESD の間に最もなだれを受けやすい領域はこのようにして「強固にされる」。残りの平坦な N+ / 基板接合は抵抗率の低いダイオードをもたらす、順方向バイアスされたとき ESD 電流を基板へショートさせる。P+ EPI 基板の上の P- が使用されるときにはこれは特に効果的であり、順方向バイアスされた強固なダイオードからの電流が直接接地された P+ 基板へ流れることを可能とする。

【0020】現在、シリサイド層 38 の最上部と N-ウェル 32、33 の最下部との間の距離は約 2  $\mu\text{m}$  である。シリサイド層 38 の最上部と N+層 31 の最下部との間の厚みは約 0.2  $\mu\text{m}$  である。しかしながら、当業者は要求される構造に従い独自の仕様を決定せねばならない。

【0021】図 7 に示されるように、下に行なうフィールド注入方法を用いて P+ / N-ウェルダイオード (2、図 3) をまた強固にしてもよいことが注目される。P+拡散領域のエッジの周りにフィールド注入を行なうことにより、フィールド酸化膜界面での P+ / N-ウェル降伏電圧は増大するだろう。このダイオードにおける P+ から N+ への空間を増大して、P-タイプフィールド注入と N+領域との間の低電圧降伏を回避せねばならない。強固な P+ダイオードの例示のレイアウト図は図 8 に示される。フィールド注入は P+領域のエッジを取り囲むが、N+領域には届かないことに注目されたい。

【0022】図 9 を参照すれば、クランプ (7、図 4) の概略図がさらに示される。「BIGFET」41 は、I/O  $V_{dd}$  に接続される集積され、分布された N-ウェルドレイン抵抗器 45 とともに実現される NFET である。出力が BIGFET 41 のゲートに印加されるインバータ 42 はレベルセンサとして作用する。ゲート酸化膜キャパシタ 43 は、ノード C と基板接地との間に接続される。PFET 44 の一方の端子はノード C に接続され、他方の端子は I/O  $V_{dd}$  に接続される。PFET 44 のゲートは基板接地に接続される。 $V_{dd}$



キャパシタ46は、I/O Vddと基板接地との間に接続される。このキャパシタは、非常に急な、高電流電圧スパイクを含むCDMテストの間にさらなる保護をもたらしてもよい。

【0023】大きな過渡クランプとしての「BIGFET」41は、ICのHBM性能をより大きく向上させるように作用する。現在、BIGFET41のサイズは、幅800um長さ0.8umで実現され、最小10個のBIGFETがI/O電力リングの周りに分布される。CDMテストの間BIGFET41を保護するために、

【0024】BIGFET41は、ESD状況すなわち高電流過渡現象の間に必要とされる仕様に従い、当業者により製造され得ることに注目せねばならない。たとえば、BIGFET41は、ESD電圧が約2.5Kボルトであり、ドレイン電圧が6ボルトよりも大きくないときに約1.7Ampの電流に耐えることができない。

【0025】図10はBIGFETのレイアウト図を例示し、図11はこの発明に従うESD保護回路におけるドレイン抵抗器を伴い現在実現されるBIGFETの断面図を例示する。このレイアウトおよび断面図はまた、この発明に従い実現される出力NFETを例示する。基板50は、P<sup>-</sup>またはP<sup>-</sup>オンP<sup>+</sup>エピタキシャル半導体材料からなる。シートコンダクタンス改良のため、シリサイド層59がデバイスの拡散領域に与えられる。ソース52、53、ゲート端子63、64およびドレイン56、58は並列するNFETを形成する。ソース領域52、53はN<sup>+</sup>材料から形成され、ドレイン56および58ならびにドレインコンタクト領域57はまたN<sup>+</sup>材料から形成される。コンタクト60、62は接地またはVssに対するものであり、ドレインコンタクト61は、Vdd (BIGFETの場合) またはパッド接続 (NFET出力ドライバの場合) に対するものであることに注目されたい。ウェル51は基板P<sup>-</sup>内のドレインコンタクト領域57の下でN<sup>-</sup>タイプ材料から形成される。図11に示すとおり、ドレイン抵抗器コンタクトは、フィールド酸化膜領域54の下で集積され、分布されたウェル抵抗器を形成するN<sup>-</sup>ウェル51内に、N<sup>+</sup>領域56、57、および58から形成される。このようにして形成されたドレイン抵抗器は、分布されてESDサージの間のいかなるホットスポットの形成も防止せねばならない。

【0026】BIGFETは現在、簡潔にするために2つの並列するNFETとして示されるが、意図する機能に対してその他の配置がまた利用可能であることが当業者には明らかであろう。

【0027】BIGFETが正のESDパルスのリターン経路に与えられる場合のBIGFETの設計の根本的

理由に関して注意を払わねばならない。ESD放電に対し、ESD電流に与えられる電流のリターン経路がなければならない。ESD設計に対し典型的に最も問題である電流の方向は、電流がパッドに流れ込む方向、すなわち正のHBM放電の間である。

【0028】図12を参照すれば、大きなパッドダイオードおよびVdd-Vss BIGFETクランプを用いたCMOSチップの典型的な電流リターン経路が示される。Cs、RsおよびSW1は、HBM放電回路の簡略化されたものを表わす。D1はパッドP<sup>+</sup>/ウェルダイオード (および/またはPFET出力ドライバP<sup>+</sup>/N<sup>-</sup>ウェルドレインダイオード) である。Rdはダイオード等価抵抗プラス電力バス抵抗である。M1はBIGFETクランプトランジスタである。RbはBIGFETドレイン抵抗器である。M2はNFET出力ドライバである。Roは出力ドライバドレインウェル抵抗器である。第1に、この設計の目的はこのようにして、Vinすなわちパッド電圧が、M2の降伏電圧を超えることを防止することである。何らかのシリサイド構造の接合領域に対しては、たとえ直列のドレインウェル抵抗器が設けられていても、軽い降伏条件に晒されればリークを生じるだろう。したがって、放電の間は、VinはM2のBVdssよりも低く保たなければならない。パッドに流れ込むピーク電流は、Ipeak=Vc/Rsであり、この式においてVcはHBMキャパシタにおける初期電圧であり、RsはHBMソース抵抗である。上記の等式は、Vinが放電の間はVcよりもはるかに小さいと仮定する。したがって、全体の設計の目的は、Ipeakの電流に対し、D1、Rd、RbおよびM1を通る電圧降下をM2のBVdssよりも低く保つことである。

【0029】典型的には、ダイオード接合を通る電圧降下は0.75Vであり、ダイオード直列抵抗は約2ohmであり、バス抵抗は約1ohmである。設計で可変のものは、組み込みドレインウェル抵抗器、Rbを含むBIGFETの幅である。Miの幅は、当業者には認識されるであろうが、SPICEといった回路シミュレータを用いて確立されてもよい。

【0030】図13は、異なる温度でのウェル抵抗器のIV特性を示す。データの点は、25℃に等しい温度で測定されたデータを数パーセント内まで再発生したSPICE JFETモデルにより生成されたデータに対応する。N<sup>-</sup>ウェル抵抗器の飽和特性は、速度飽和を原因とするかもしれない。この特性は、ESD電流サージに晒されたNFETのドレインと直列して設けられたとき電流制限をもたらすため、理想的である。飽和電圧は抵抗器の長さにより決定されてもよく、約5Vに設定された。このようにして、通常の5Vの出力ドライバ動作の間は、適切に設計された、集積され、分布されたN<sup>-</sup>ウェル抵抗器は大きくドライブを低減することはない。

10

20

30

40

50

うが、ESDにより誘起されるなだれに対しては、電流の流れは制限されるだろう。

【0031】図14は、ウェルドレイン抵抗器を用いた場合または用いない場合のBIGFETのIV特性( $V_{gs}=V_{ds}$ )を示す。曲線からわかるように、6ボルト以下の電圧の値に対しては、ウェル抵抗器は電流をわずかに数パーセント低減する。したがって、BIGFETが $V_{dd}$ を約6ボルトに制限することを要求するHBM性能へウェル抵抗器の効果は取るに足りない。約10ボルトでは、ウェル抵抗器の飽和特性が加わり、BIGFETのドレイン電流は約 $1\text{mA}/\mu\text{m}$ で飽和する。抵抗器がなければ、電流は上昇し続けるのが観測される。

【0032】図15は、図3のデバイスのシミュレーションにおいて表われる様々な電圧レベルを示す。集積され分布されたN-ウェル/NFET抵抗器を用いれば、 $V_{ds}$ は、スナップバックが発生する、12ボルトよりもはるかに低い7.5ボルトに制限される。したがって、NFETドライバ22は、パッドに20ボルトが表われてもスナップバックモードになる可能性は薄いように思われる。ウェル抵抗器での最大電圧は、パッドの電圧20ボルトで約13ボルトである。ウェル抵抗器は約16ボルトでなだれ現象を生じると観測されている。したがって、 $V_{dd}$ で20ボルトという極端な電圧であっても、BIGFETまたはその集積され分布されたN-ウェル抵抗器においてなだれを生じさせるには不十分である。結果として、BIGFETに、集積され分布されたN-ウェル抵抗器を加えることにより、HBM性能に生じる劣化は取るに足りないものであり、一方BIGFETのなだれは防止され、CDMイベントの間のBIGFETの電流および電圧は制限される。

【図面の簡単な説明】

【図1】典型的なシリサイド拡散の断面図である。

【図2】N+領域の周囲で発生するシリサイドの凸凹を

示す図である。

【図3】ESD保護デバイスを有するパッドの概略図である。

【図4】ESD保護デバイスを有するパッドの概略図である。

【図5】強固なN+ダイオードの典型的なレイアウト図である。

【図6】強固なN+ダイオードの断面図である。

【図7】強固なP+ダイオードの断面図である。

【図8】強固なP+ダイオードの典型的なレイアウト図である。

【図9】この発明に組み入れられる $V_{dd}-V_{ss}$ クランプの概略図である。

【図10】BIGFETの典型的なレイアウト図である。

【図11】この発明に従うESD保護回路における分布され、集積されたN-ウェルドレイン抵抗器を伴い現在実現される、BIGFET  $V_{dd}-V_{ss}$ の断面図である。

【図12】HBMモデルおよび入力回路の概略図である。

【図13】異なる温度でのウェル抵抗器のIV特性を示す図である。

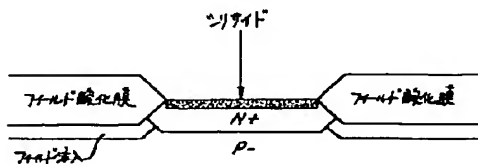
【図14】分布され、集積されたN-ウェルドレイン抵抗器を用いた場合および用いない場合のBIGFETの $V_{gs}=V_{ds}$ を有するIV特性を示す図である。

【図15】図13でシミュレートされたデバイスに表われる様々な電圧レベルを示す図である。

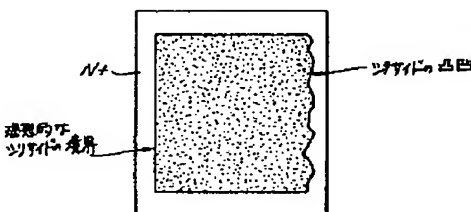
【符号の説明】

- 1 N+ダイオード
- 2 P+/N-ウェルダイオード
- 4 N-ウェル抵抗器

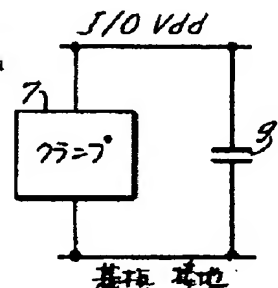
【図1】



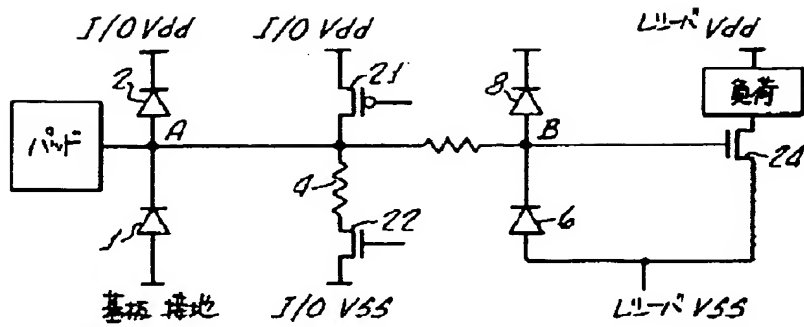
【図2】



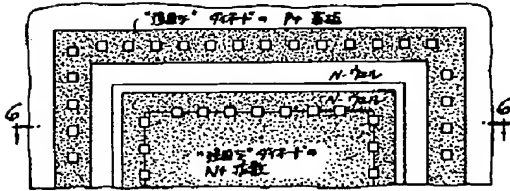
【図4】



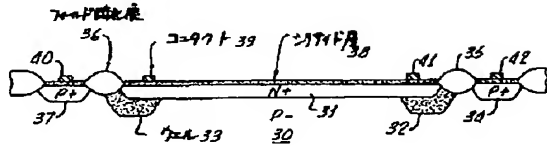
【図3】



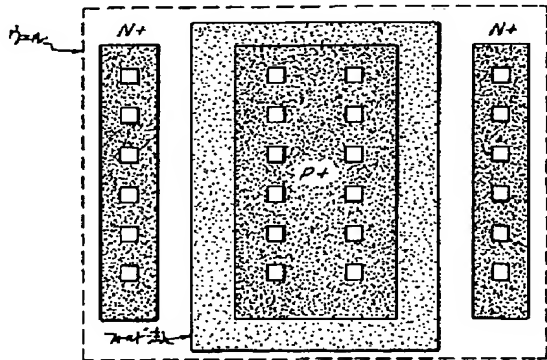
【図5】



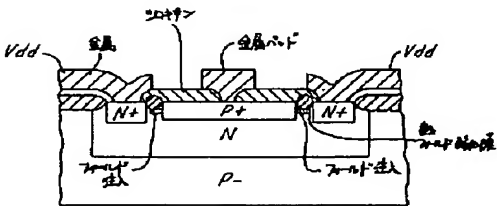
【図6】



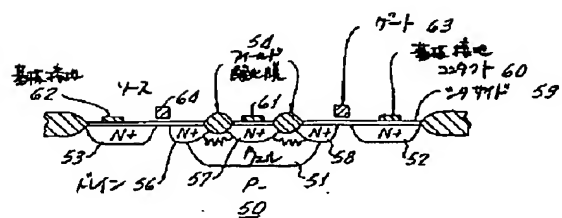
【図8】



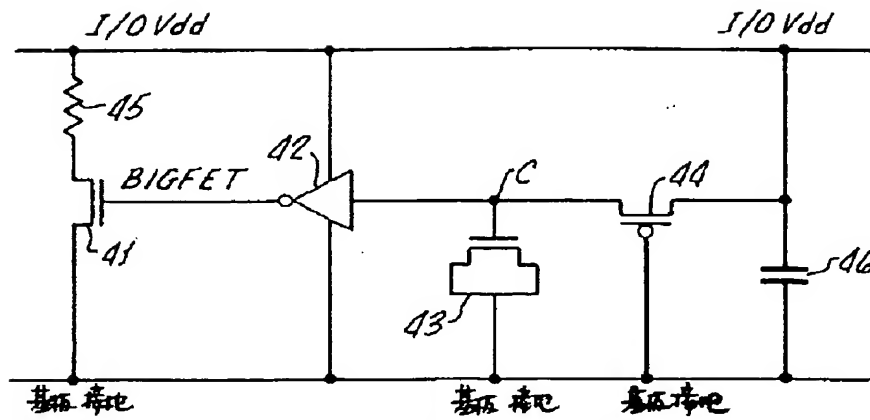
【図7】



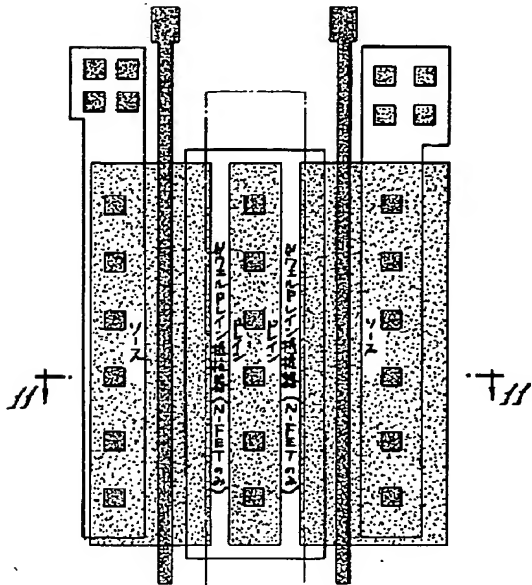
【図11】



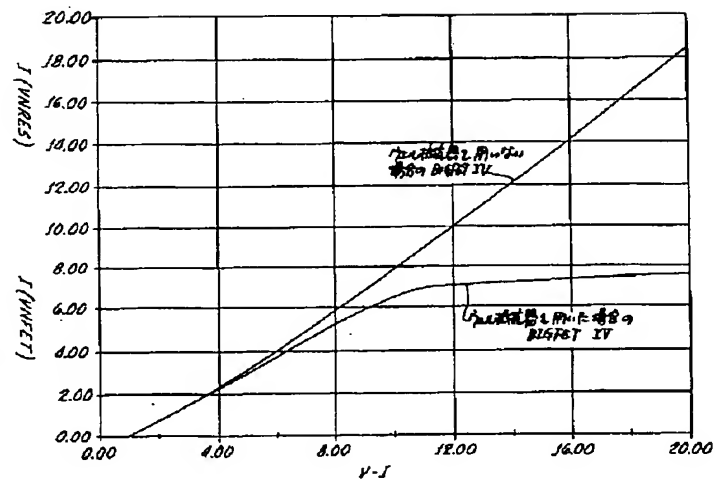
【図9】



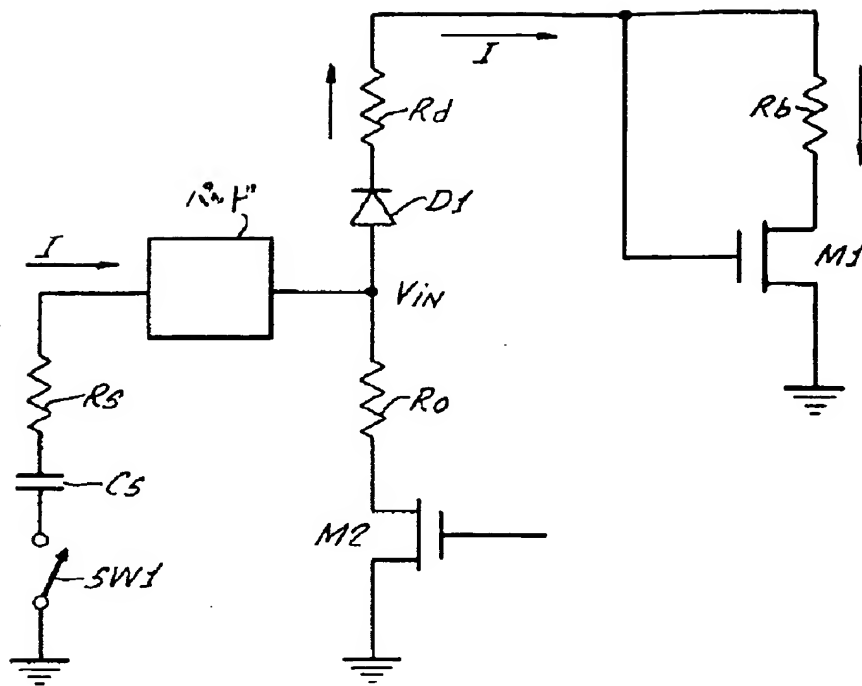
【図10】



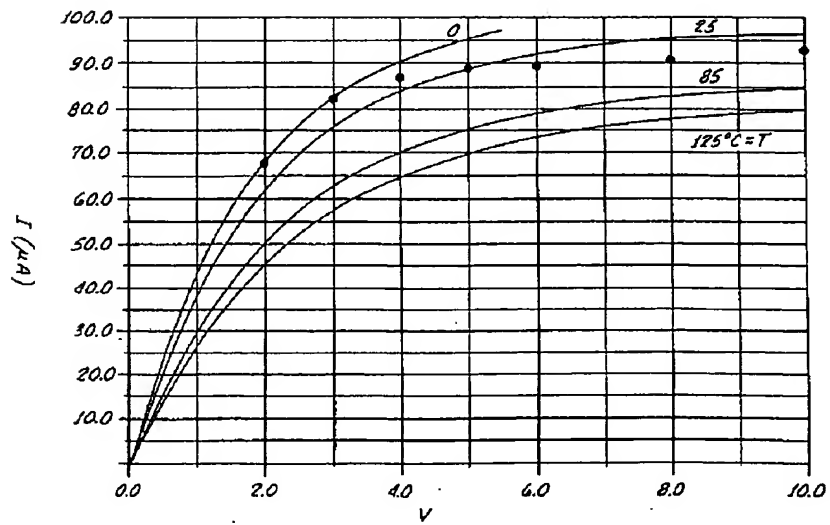
【図14】



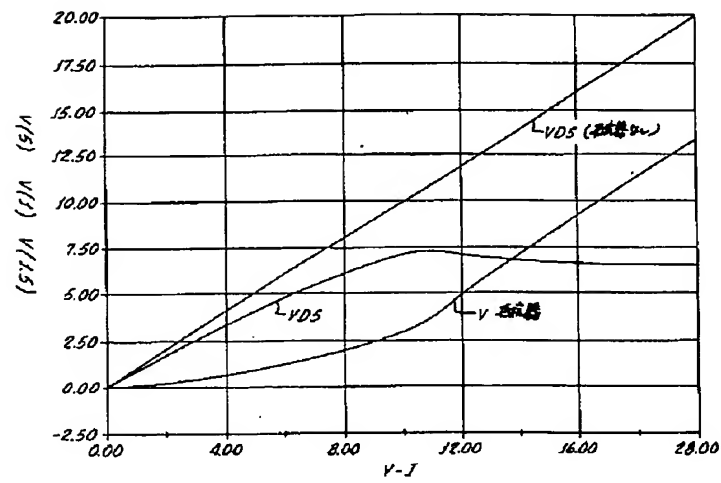
【図12】



【図13】



【図15】



フロントページの続き

(72)発明者 ラジブ・グプタ  
アメリカ合衆国、92621 カリフォルニア  
州、ブレア、ムアパーク・ドライブ、1776

(72)発明者 アディソン・ブルー・ジョーンズ  
アメリカ合衆国、92686 カリフォルニア  
州、ヨルバ・リンダ、スウィートウォーター・  
プレイス、5742